

GIST, 며칠씩 걸리던 반도체 시뮬레이션 속도 최대 100배 향상... 차세대 소자 개발 가속화

- 전기전자컴퓨터공학과 홍성민 교수 연구팀, 복잡한 차세대 반도체 소자를 가상 환경에서 빠르게 예측하는 새로운 알고리즘 개발... 수 시간에서 수 일 걸리던 시뮬레이션 속도 10~100배 단축
- '준 1차원 모델링(채널 방향 단순 계산)'과 '영역별 구조 분석(소자를 구간별로 나눠 최적 계산)' 결합해 초기 계산값 빠르게 추정... 사전 학습된 AI 모델 없이도 효율성·정확성·안정성 확보
- 다양한 소자 구조에 유연하게 적용 가능... 국제학술지 《Communications Engineering》 게재



▲ (왼쪽부터) GIST 전기전자컴퓨터공학과 홍성민 교수, 이광운·김인기·정승우·장민서 연구원

광주과학기술원(GIST, 총장 임기철)은 전기전자컴퓨터공학과 홍성민 교수 연구팀이 반도체 소자 시뮬레이션의 계산 효율을 혁신적으로 개선해, 기존 대비 최대 100배 빠른 속도로 차세대 소자의 성능을 예측할 수 있는 새로운 알고리즘을 개발했다고 밝혔다.

이번 성과는 반도체 소자 연구개발(R&D) 과정에서 가장 큰 걸림돌로 꼽히던 '장시간 시뮬레이션' 문제를 근본적으로 해결했다는 점에서 의미가 크다.

* **반도체 소자 시뮬레이션(Semiconductor device simulation)**: 반도체 소자의 전기적·물리적 동작을 가상 환경에서 수치적으로 재현하고 분석하는 기술이다. 전류의 흐름, 전계 분포, 발열 특성 등 소자의 거동을 실제 제작 이전에 예측할 수 있어 성능 최적화와 설계 효율성을 크게 높일 수 있으며, 일반적으로 TCAD(Technology Computer-Aided Design) 분야의 핵심 도구로 활용된다.

반도체 소자의 성능을 사전에 예측하고 최적화하기 위해서는 'TCAD 시뮬레이션*'이 필수적이다. TCAD는 반도체 내부에서 전자와 정공의 이동, 전기장의 분포 등을 물리 법칙에 따라 수치적으로 계산해 소자의 전기적 특성을 정밀하게 예측하는 기술이다.

그러나 최신 게이트올어라운드(GAA)* 구조나 보완형 트랜지스터(CFET)* 등과 같은 복잡한 차세대 소자는 3차원 계산이 필요해, 시뮬레이션에 수 시간에서 수 일이 소요된다. 이로 인해 연구개발 속도가 크게 늦어지는 문제가 있었다.

* **TCAD 시뮬레이션(Technology Computer-Aided Design simulation)**: 반도체 소자의 전기적·물리적 특성을 컴퓨터로 모사하는 기술로, 실제 소자를 제작하지 않고도 성능을 예측하고 최적화할 수 있게 해준다. 반도체 내부의 전자와 정공의 이동, 전기장 분포, 전하 축적 등을 물리 법칙에 따라 수치적으로 계산하며, 이를 통해 전류-전압 특성, 스위칭 속도, 누설 전류 등 소자의 핵심 동작 특성을 정밀하게 분석할 수 있다.

* **게이트올어라운드(Gate-All-Around, GAA)**: 반도체 트랜지스터 구조 중 하나로, 채널 주변을 게이트가 완전히 둘러싸는 구조를 의미한다. 기존의 평면형(Planar) 트랜지스터가 채널의 일부 면만을 게이트가 제어하는 것과 달리, GAA 트랜지스터는 채널을 360도로 감싸는 게이트를 통해 전류 흐름을 더욱 정밀하게 제어할 수 있어, 누설 전류 감소와 성능 향상에 유리하다. 최근 차세대 반도체 소자, 특히 3nm 이하 공정에서 고집적·저전력 트랜지스터 구현을 위해 주목받고 있는 구조이다.

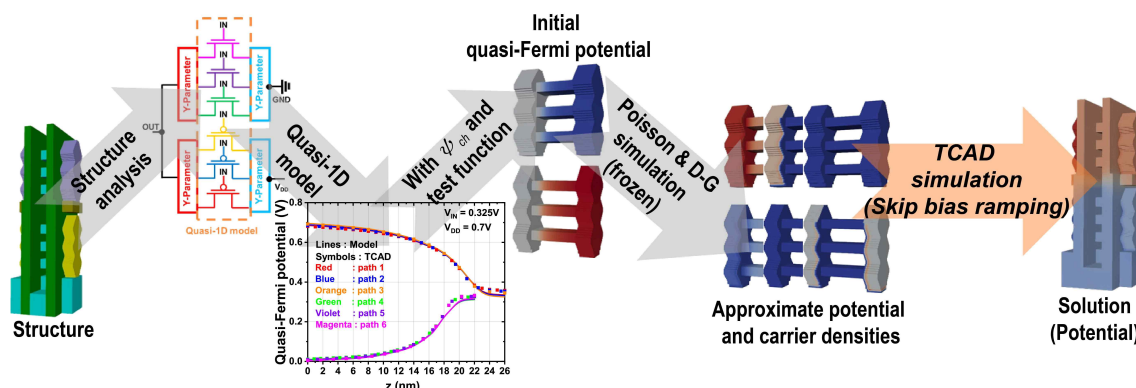
* **CFET(Complementary FET)**: 차세대 반도체 소자 구조로, 기존의 CMOS처럼 n형(NMOS)과 p형(PMOS) 트랜지스터를 평면에 나란히 배치하는 대신, 세로로 적층해 집적도를 극대화한 기술이다. 동일 면적에서 더 많은 소자를 집적할 수 있어 회로의 성능과 전력 효율을 동시에 향상시킬 수 있으며, 1nm 이하 초미세 공정에서 유력한 대안으로 주목받고 있다.

특히, 원하는 전압 조건에서 안정적으로 계산하기 위해서는 전압을 조금씩 올려가며 수렴을 유도하는 ‘바이어스 램핑(bias-ramping)*’ 과정이 필수적이었는데, 이 과정이 전체 계산 시간의 대부분을 차지하며 병목으로 작용했다.

최근에는 학습된 인공신경망 기반 인공지능(AI) 모델(Artificial Neural Network, ANN)을 이용해 우수한 초기 추정값을 생성하고 불필요한 중간 과정을 줄이는 시도도 있었으나, 새로운 구조에 적용할 경우 추가 데이터와 학습 과정이 필요해 산업 현장에 즉각 활용하기에는 제약이 컸다.

* **바이어스 램핑(bias-ramping)**: 반도체 소자나 회로를 시뮬레이션할 때, 전압이나 전류를 한 번에 걸지 않고 조금씩 단계적으로 높여가는 과정이다. 이를 통해 비선형 방정식의 해를 구할 때 시뮬레이션 계산이 보다 안정적으로 진행될 수 있다.

연구팀은 이러한 문제를 해결하기 위해 ‘준(準) 1차원(Quasi-1D) 모델링*’과 ‘영역별 구조 분석(Region-wise Structure Analysis)*’을 결합한 새로운 접근법을 제안했다. 이 방법은 사전 학습 과정 없이도 반도체 소자 시뮬레이션 수행 시간을 크게 단축할 수 있다.

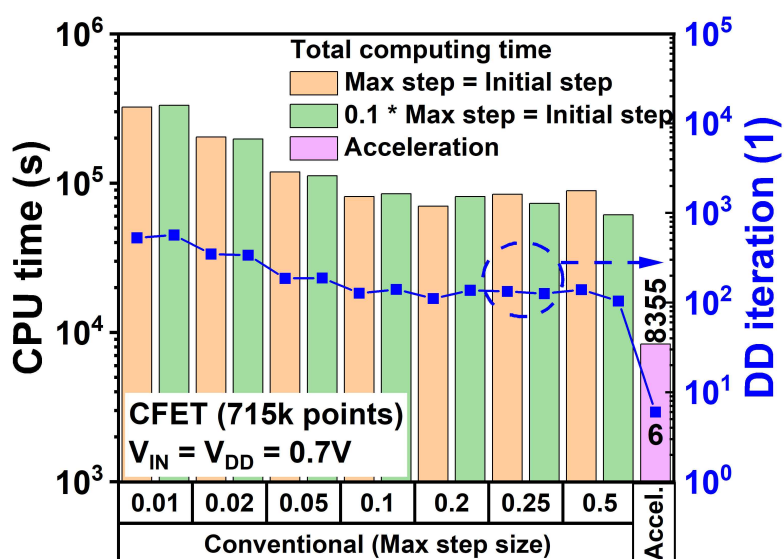


▲ **제안된 방법의 전체 구성도**. CFET 인버터 구조를 주면, 영역별 구조 분석 이후 유사 1차원 모델이 계산된다. 초기 추정값이 3차원 구조에 재구성되고 원하는 전압에서 시뮬레이션이 바로 수행된다.

핵심은 복잡한 반도체 소자를 전류가 흐르는 채널 방향에 따라 1차원으로 단순화해 빠르게 초기 계산값(solution)을 추정하고, 소자를 여러 구간으로 나눠 각 구간에 최적화된 물리 모델을 적용하는 것이다. 이를 통해 기존에는 필수적이었던 바이어스 램핑(bias-ramping) 과정을 생략하면서도, 10~100배 빠른 계산 속도를 구현했다.

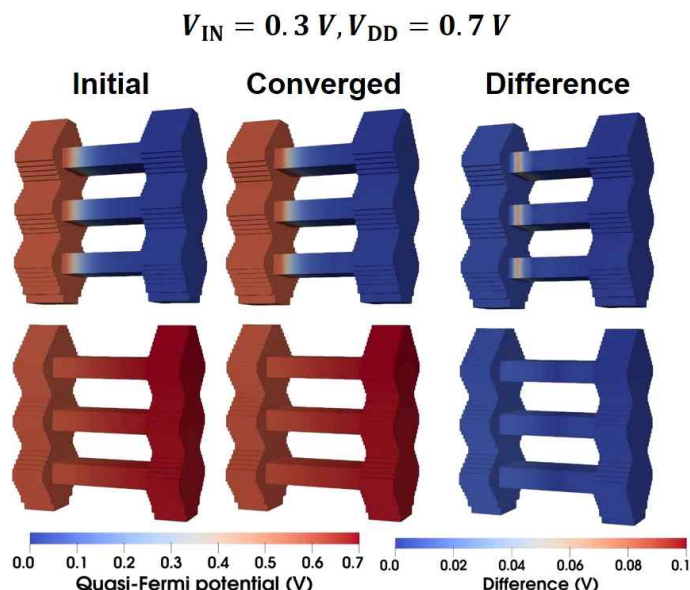
* **준(準) 1차원(Quasi-1D) 모델링:** 복잡한 3차원 반도체 소자를 단순화하여, 전류가 흐르는 채널 방향을 따라 1차원으로 간주해 계산하는 방식이다. 이를 통해 초기 해(solution)를 빠르게 추정할 수 있으며, 이후 정밀 계산 과정의 안정성과 속도를 크게 높일 수 있다. 기존 3차원 전산모사 대비 연산 부담을 줄여 시뮬레이션 속도를 혁신적으로 개선할 수 있다는 장점이 있다.

* **영역별 구조 분석(Region-wise Structure Analysis):** 반도체 소자를 여러 구간으로 나누어 각 영역의 특성에 맞는 물리 모델을 적용하는 방식이다. 복잡한 소자 전체를 한 번에 계산하는 대신, 영역별로 최적화된 해석을 수행하기 때문에 계산 효율성과 정확성을 동시에 확보할 수 있다. 특히 다양한 구조를 가진 차세대 소자에도 유연하게 적용 가능하다는 장점이 있다.



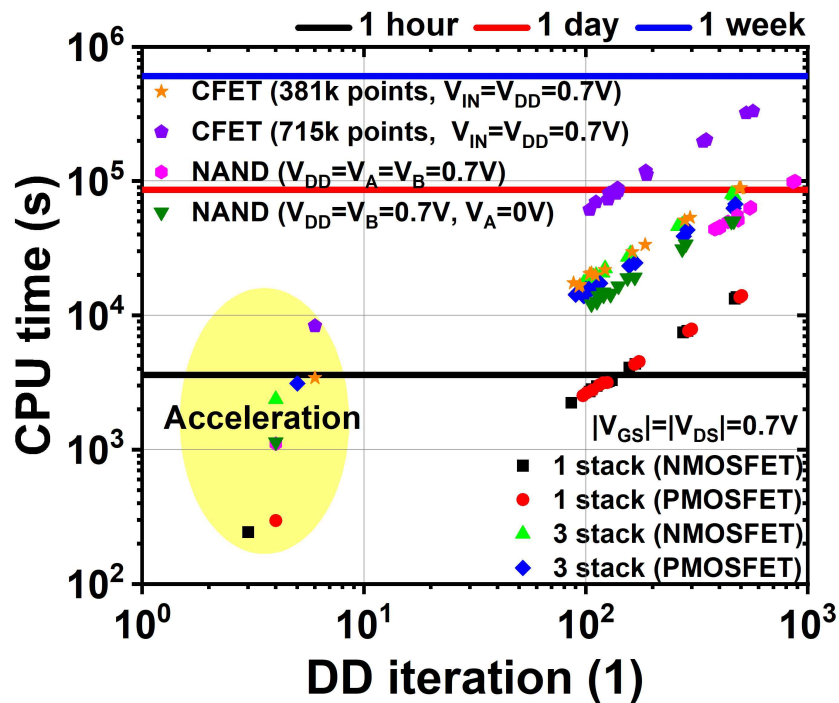
▲ CFET 인버터에서 기존 방식과 제안한 방식의 시뮬레이션 속도 비교. 비교는 전체 계산 시간(CPU time)과 계산 횟수(DD iteration)를 통해 비교되고 있으며, 기존 방식의 최적 결과 대비 7배의 계산 시간 감소와 17배의 계산 횟수 감소를 얻었다.

연구팀은 게이트올어라운드(GAA) 소자, 보완형 트랜지스터(CFET) 인버터 등 다양한 차세대 소자를 대상으로 새로운 알고리즘을 검증했다.



▲ 유사 1차원 모델의 초기 유사 페르미 전위(왼쪽)와 반도체 소자 시뮬레이션의 수렴된 유사 페르미 전위(가운데)의 비교. 두 결과의 차이(오른쪽)가 최대 0.1 V보다 작아서 우수한 초기 추정값으로 사용할 수 있다.

그 결과, 시뮬레이션 속도는 기존 대비 10~100배 이상 빨라졌으며, 전압 전달 특성(VTC) 등 주요 전기적 특성에서도 기존 TCAD 결과와의 오차가 0.1 볼트(V) 이하로 억제돼 높은 정확성을 입증했다. 또한 소자의 형태(기하학적 구조)나, 계산 과정에서 나누는 작은 구역을 가리키는 메쉬(mesh) 조건이 달라져도 성능 저하 없이 일관된 결과를 보여 주었다. 이를 통해 다양한 환경과 구조에서도 안정적으로 적용할 수 있음을 확인했다.



▲ 다양한 소자 구조에서 기존 방식과 제안한 방식의 시뮬레이션 비교. 학습된 인공지능망의 사용 없이도 다양한 구조에서 10배에 가까운 시간 감소를 확인할 수 있다.

홍성민 교수는 “이번 연구는 사전 학습된 인공지능망 기반 AI 모델이 없어도 다양한 구조에서 반도체 소자 시뮬레이션 시간을 대폭 단축할 수 있음을 보여 준 성과”라며 “제안한 기법의 효율성과 정확성, 안정성을 바탕으로 향후 차세대 반도체 소자 개발 속도를 앞당기고 연구 효율을 높이는 데 기여할 것”이라고 말했다.

GIST 전기전자컴퓨터공학과 홍성민 교수가 지도하고 이광운, 김인기, 정승우, 장민서 연구원이 수행한 이번 연구는 과학기술정보통신부·한국연구재단 개인기초연구사업(중견)의 지원을 받았다. 연구 결과는 국제학술지 《커뮤니케이션스 엔지니어링(Communications Engineering)》에 2025년 9월 25일 온라인으로 게재됐다.

한편 GIST는 이번 연구 성과가 학술적 의의와 함께 산업적 응용 가능성까지 고려한 것으로, 기술이전 관련 협의는 기술사업화센터(hgmoon@gist.ac.kr)를 통해 진행할 수 있다고 밝혔다.

논문의 주요 정보

1. 논문명, 저자정보

- 저널명 : Communications Engineering (네이처 포트폴리오 산하 신생 국제학술지)
- 논문명 : Combining quasi-one-dimensional modeling with region-wise structure analysis for rapid technology computer-aided design simulations of gate-all-around MOSFETs
- 저자 정보 : 이광운(제1저자, GIST), 김인기(GIST. 현재 삼성전자 재직 중), 정승우(GIST), 장민서(GIST), 홍성민 (교신저자, GIST)