반도체 아카데미
GIST Semiconductor Academy × **Arm School Program**
Official Partner Program

● 2026 하반기 수요조사

// POWERED BY ARM SCHOOL PROGRAM · GIST

반도체 미래 인재, 의견을 모읍니다.

Arm School Program 공식 커리큘럼 기반 · 7개 트랙에 대한 사전 수요조사 — 정식 모집 전 관심 의견을 받습니다

OPEN	TUITION	TRACKS	HOST
2026. 6월 개강	전액 무료 · 국비지원	7개 과정 · 각 30명	GIST × Arm School

GIST_ACADEMY × ARM_SCHOOL / 2026.H2 / DEMAND_SURVEY_v1.0

// 학부생(4학년 이상) · 졸업(예정)자 · 재직자

01 한눈에 보기

AT A GLANCE

개강	수강료	대상	주관
2026년 6월	**전액 무료**	**학부생(4학년 이상) ·졸업(예정)자·재직자**	**GIST × Arm School**

교육 과정	교육 장소	핵심 기술	응답 마감
7개 트랙 (각 과정 30명)	**GIST 대학 A동 325호 또는 B동 106호**	**Arm · RTL · VLSI · SoC**	**각 과정 개강 1주일 전**

02 교육 과정 · 7 Tracks

입문부터 전문가 과정까지 단계별 설계

Arm 공인 커리큘럼 · 인증 수료증 발급 과정
아래 **4개 과정**은 **Arm 사(社)의 공식 커리큘럼**을 기반으로 운영되며, 수료 시 **Arm 공인 인증 수료증**이 발급됩니다.

TRACK 01 — BASIC
APPROVED TRAINING 공인 인증 수료증 발급
Arm 기반의 컴퓨터 아키텍처 입문
Arm 아키텍처의 기본 개념과 프로세서 동작 원리를 학습하며, 반도체 설계의 첫걸음을 내딛는 입문 과정.
‣ 교육 내용 자세히 보기
#Arm #Architecture #입문
SCHEDULE 6.29 – 7.3 · CAPACITY 30명
DEADLINE 6.22 (개강 1주 전) · VENUE GIST 대학 A동 325호 / B동 106호

TRACK 02 — PROFESSIONAL
APPROVED TRAINING 공인 인증 수료증 발급
SoC Design with Arm Cortex-M
Arm Cortex-M 코어 기반 SoC 통합 설계 — 버스 구조, 주변 IP 연동, 검증 환경 구축까지.
‣ 교육 내용 자세히 보기
#SoC #CortexM #AMBA
SCHEDULE 7.6 – 7.9 · CAPACITY 30명
DEADLINE 6.29 (개강 1주 전) · VENUE GIST 대학 A동 325호 / B동 106호

TRACK 03 — BASIC
APPROVED TRAINING 공인 인증 수료증 발급
Arm 기반 임베디드 시스템
Arm 기반 MCU·MPU를 활용한 임베디드 시스템 개발의 전 과정을 실습 중심으로 학습.
‣ 교육 내용 자세히 보기
#Embedded #Firmware #HW/SW
SCHEDULE 7.13 – 7.24 · CAPACITY 30명
DEADLINE 7.6 (개강 1주 전) · VENUE GIST 대학 A동 325호 / B동 106호

TRACK 04 — INTERMEDIATE
APPROVED TRAINING 공인 인증 수료증 발급
VLSI Fundamentals
VLSI 설계 흐름, CMOS 로직, 타이밍/파워 분석 등 시스템반도체 설계의 필수 이론과 실습을 Arm School 커리큘럼으로 제공.
‣ 교육 내용 자세히 보기
#VLSI #CMOS #GIST
SCHEDULE 7.27 – 8.7 · CAPACITY 30명
DEADLINE 7.20 (개강 1주 전) · VENUE GIST 대학 A동 325호 / B동 106호

TRACK 05 — CAPSTONE
ARM 인증 추진 예정 Certification Pending
RTL Design 및 SoC Term Project
Verilog/SystemVerilog 기반 RTL 설계·검증에서 시작해 RTL 기반 SoC 통합 Term Project로 마무리 — 현업 RTL 엔지니어 역량과 종합 설계 포트폴리오를 6주에 완성.
‣ 교육 내용 자세히 보기
#RTL #Verilog #SoC #Project
SCHEDULE 8.10 – 9.18 · CAPACITY 30명
DEADLINE 8.3 (개강 1주 전) · VENUE GIST 대학 A동 325호 / B동 106호

TRACK 06 — PROFESSIONAL
실무형 시스템반도체 Physical Design (Front-End)
Synthesis, Floorplan, Placement 등 Front-End Physical Design 전 과정을 EDA 툴 실습으로 체화.
‣ 교육 내용 자세히 보기
#PhysicalDesign #FrontEnd #EDA
SCHEDULE 9.21 – 10.16 · CAPACITY 30명
DEADLINE 9.14 (개강 1주 전) · VENUE GIST 대학 A동 325호 / B동 106호

TRACK 07 — PROFESSIONAL
실무형 시스템반도체 Physical Design (Back-End)
CTS, Routing, Timing Closure, Sign-off까지 Back-End 전 공정 실습 — 현업 Tape-out 수준의 역량 습득.
‣ 교육 내용 자세히 보기
#BackEnd #Routing #SignOff
SCHEDULE 10.19 – 11.13 · CAPACITY 30명
DEADLINE 10.12 (개강 1주 전) · VENUE GIST 대학 A동 325호 / B동 106호

⚠ **개설 취소 안내** 지원자 수·강사 일정·예산 상황 등 운영 사정에 따라 일부 과정은 개설이 취소되거나 일정이 변경될 수 있습니다.

03 수요조사 대상

WHO SHOULD RESPOND

학부생 (4학년 이상)
전기·전자·반도체·컴퓨터공학 전공의 학부 4학년 이상 재학생.

졸업(예정)자
관련 분야 졸업자 또는 졸업예정자 — 반도체 산업 진출이나 실무 역량 강화를 준비하는 분.

재직자
반도체·임베디드·SoC 설계 관련 직무 종사자 — Arm 아키텍처·RTL·Physical Design 영역 역량을 강화하고자 하는 분.

ⓘ **안내** 본 양식은 정식 모집 전 사전 수요조사로, 응답 결과는 운영 일정 확정 및 정식 모집 시 우선 안내에 활용됩니다.

04 수강 혜택

WHY GIST ACADEMY

전액 국비지원
수강료 100% 무료
교재·실습 장비 제공

Arm 공인 인증 수료증
4개 Arm 공식 커리큘럼 과정 수료 시
Arm 인증 수료증 + GIST 수료증 동시 발급

현업 전문가 강의
반도체 산업 실무진 및
GIST 교수진 직강

실습 환경 제공
상용 EDA 툴 및
개발 보드 실습 지원

취업 연계 프로그램
반도체 기업 채용설명회
및 추천 연계

포트폴리오 완성
SoC Term Project로
실전 포트폴리오 구축

수요조사에 참여해 주세요.

관심 있는 과정에 응답해 주시면
운영 일정 확정과 정식 모집 시 우선 안내에 활용됩니다.

01 **수요조사 응답** — 관심 있는 과정을 선택하고 출신 대학·학과·학점 등 기본 정보를 입력합니다.

02 **수요 분석** — 수집된 응답을 바탕으로 과정별 운영 일정과 세부 사항을 확정합니다.

03 **정식 모집 안내** — 응답해 주신 분께 정식 모집 일정·지원 절차를 이메일로 우선 안내드립니다.

● 응답 마감
각 과정 개강 1주일 전
* 본 양식은 정식 지원이 아닌 사전 수요조사입니다.
* 응답 수정은 마감 전까지 가능합니다.

수요조사 참여 →

교육 장소
GIST 대학 A동 325호 또는 B동 106호

문의
GIST 반도체 아카데미 운영사무국
T. 062-715-2205 | E. icslatgist@gmail.com

// COURSE SYLLABUS · 2026.H2

7개 트랙 교육 과정 상세

각 과정의 교육 개요·목표·세부 커리큘럼을 확인하실 수 있습니다.

TRACK 01 · BASIC · ★ Arm 인증

Arm 기반 컴퓨터 아키텍처 입문

Arm 코어를 활용한 컴퓨터 아키텍처 핵심 개념과 현대 프로세서 구현 학습

SCHEDULE	FORMAT	SPECIALTY
6.29 – 7.3 (1주)	오프라인	파운드리 설계

교육 개요
컴퓨터 아키텍처의 기본 개념과 이러한 개념이 현대 프로세서에서 어떻게 적용되고 구현되는지 학습합니다. Arm 코어를 활용해 pipelining, forwarding paths, stalls, control hazard solution 등의 컴퓨터 아키텍처 핵심 개념을 이해하고 구현하는 지식을 제공합니다.

교육 목표
- ✓ 팹리스(Fabless) 기업 취업을 희망하는 학부생 이상의 미취업자를 위한 컴퓨터 아키텍처 기본 주제와 개념 학습
- ✓ 현대 Arm 프로세서 구현에 필요한 핵심 아키텍처 개념(pipelining, hazard, forwarding 등) 체득

선수과목 (권장)
권장 디지털 전자공학 · 하드웨어 설명 언어(Verilog) 기초 · 기본 어셈블리 프로그래밍 · 디지털 시스템 · 컴퓨터 구조

교육 내용
주제	학습 내용
Arm 기반 설계 기초	컴퓨터 아키텍처 입문 컴퓨터 설계의 기초
파이프라인	파이프라인 동작 원리 분기와 파이프라인 제작의 한계
명령어 처리와 주변장치	명령어 수준 병렬성(ILP) 활용 메모리 / 캐시 구조
멀티코어와 멀티스레딩	멀티코어 개념 이해 멀티스레딩
Vector 프로세서와 SIMD 구조	Vector · SIMD · GPU 비교 SoC Case Study
Arm 소프트웨어 개발	Arm Tool 기반 프로젝트 생성·설정 디버깅 실습

TRACK 02 · ADVANCED · ★ Arm 인증

SoC Design with Arm Cortex-M

Arm 기반 시스템 온 칩(SoC) 설계 — 버스 구조, 주변장치, 응용 프로그래밍 인터페이스의 통합 이해

SCHEDULE	FORMAT	SPECIALTY
7.6 – 7.9 (4일)	오프라인	임베디드 · SoC

교육 개요
Arm 기반의 시스템 온 칩 설계를 위한 버스 및 주변장치의 이해 및 응용 프로그래밍 인터페이스, SoC 프로그래밍을 통한 전반적인 구조를 학습합니다.

교육 목표
- ✓ Arm 기반 임베디드 시스템을 설계하고 프로그래밍하며 상용 API를 사용해 구현

선수과목 (권장)
권장 하드웨어 설명 언어(Verilog 또는 VHDL)의 기초 · 기본 C 및 어셈블리 프로그래밍

교육 내용
주제	학습 내용
Arm 기반 시스템 온 칩	Arm 기반 시스템 온 칩 설계 소개
Arm 아키텍처	Arm Cortex-M0 프로세서 아키텍처 #1 Arm Cortex-M0 프로세서 아키텍처 #2
AMBA3 버스	AMBA 3 AHB-Lite 버스 아키텍처 AHB VGA 주변장치 AHB UART 주변부
타이머 및 주변기기	타이머 · GPIO · 7세그먼트 주변기기
인터럽트 메커니즘	인터럽트 처리 구조 이해
C언어 SoC 프로그래밍	C 언어를 이용한 SoC 프로그래밍
Arm CMSIS	Arm CMSIS 및 소프트웨어 드라이버
어플리케이션	응용 프로그래밍 인터페이스 및 최종 적용
장치 제어 (실습)	Arm 기반 시스템에서 C와 RTL을 이용한 장치 제어 (보드·SW·디버거 사용)

TRACK 03 · BASIC · ★ Arm 인증

Arm 기반 임베디드 시스템

ARM Cortex-M 기반 임베디드 시스템 구조·동작 원리와 마이크로컨트롤러 설계 기초

SCHEDULE	FORMAT	SPECIALTY
7.13 – 7.24 (2주)	오프라인	임베디드 SW

교육 개요
ARM Cortex-M 기반 임베디드 시스템 구조와 동작 원리를 이해하고 마이크로컨트롤러 기반 시스템 설계의 기초를 학습합니다. 메모리 구조, 인터럽트, 타이머, ADC, 통신 인터페이스 등 주요 주변장치의 동작 원리와 활용 방법을 학습하며, 시스템 보드를 활용한 실습을 통해 임베디드 시스템 설계 및 디버깅 역량을 배양합니다.

교육 목표
- ✓ ARM Cortex-M 기반 임베디드 시스템 구조 및 동작 원리 이해
- ✓ 마이크로컨트롤러 주변장치(GPIO, Timer, ADC, Communication 등) 활용 능력 배양
- ✓ 실습 보드 기반 임베디드 시스템 설계 및 디버깅 역량 확보

선수과목 (권장)
권장 전자회로 · 컴퓨터 구조 · 프로그래밍 기초

교육 내용
주제	학습 내용
Introduction to Embedded Systems	임베디드 시스템 개요 및 응용 분야 주요 특성 및 제약 조건 프로세서·MCU·개발보드 관계 이해
General-Purpose I/O	GPIO 기본 구조와 동작 원리 입출력 신호·전압·전류 / 스위치·LED 인터페이스 제어 레지스터 및 CMSIS 기반 레지스터
Software Concurrency	임베디드 시스템 동시성 개념 Task 기반 프로그램 구조 / 응답성 향상 Interrupts and event triggering
Cortex-M0 Core & Interrupts	Cortex-M0 CPU 구조 및 아키텍처 레지스터·메모리·명령어 학습 예외 처리와 NVIC 기반 인터럽트 구조
C in Assembly Language	C 코드와 Assembly 동작 관계 컴파일 결과를 통한 메모리 접근·명령어 실행 구조 함수 호출·스택·변수 저장 방식
Analog Interfacing	아날로그-디지털 인터페이스 개념 ADC 동작 원리 및 활용 센서 입력·데이터 획득 기초 실습
Timers	타이머·카운터 구조와 동작 원리 주기적 이벤트 생성·시간 제어 PWM 및 타이머 기반 제어
Serial Communications	UART 기반 데이터 송수신 원리 SPI · I2C 등 주변장치 연결 인터페이스
Direct Memory Access	DMA 개념·CPU 오프로드 방식 주변장치-메모리 효율적 데이터 전송 Interrupt·Timer·통신 연계 DMA
System Integration Project	GPIO·인터럽트·타이머·ADC·통신·DMA 통합 시스템 구현 / 이벤트 기반 임베디드 시스템 설계
Debugging & Performance Analysis	레지스터·메모리·인터럽트 상태 기반 디버깅 / 응답성·자원 활용·CPU 부하 분석

TRACK 04 · BASIC · ★ Arm 인증

VLSI Fundamentals

VLSI 시스템 설계의 기초 이론 — CMOS 트랜지스터·디지털 회로·인터커넥트·메모리 구조

SCHEDULE	FORMAT	SPECIALTY
7.27 – 8.7 (2주)	오프라인	파운드리 설계

교육 개요
VLSI 시스템 설계의 기초 이론 학습 및 반도체 설계 과정 전반에 대한 핵심 기초 과정. CMOS 트랜지스터 동작 원리, 디지털 회로 설계, 지연 및 전력 분석, 인터커넥트 및 메모리 구조 등 VLSI 설계의 핵심 개념을 학습합니다. SPICE/Verilog 시뮬레이션 실습을 통해 주요 디지털 회로 블록의 구조를 이해하고 반도체 설계 전반에 대한 기초 역량을 배양합니다.

교육 목표
- ✓ 시스템 반도체 설계의 기본 개념과 VLSI 설계 흐름 이해
- ✓ 디지털 집적회로의 지연·전력·인터커넥트 특성 분석 능력 배양
- ✓ 디지털 시스템·메모리·통합 칩 구조에 대한 기초 역량 확보

선수과목 (권장)
권장 디지털 공학 · 전자회로 · 반도체 소자 · 컴퓨터 구조

교육 내용
주제	학습 내용
Introduction to VLSI System	VLSI 시스템 설계 개요·반도체 산업 동향 ASIC · FPGA · SoC 설계 방식 VLSI 설계 flow
트랜지스터 핵심 기초 이론	MOSFET 구조 및 동작 원리 MOSFET 비이상성 및 단채널 효과
CMOS Circuit Analysis	CMOS inverter DC transfer characteristics Switching threshold 및 노이즈 마진 Propagation delay 분석
Combinational Circuit Design	CMOS 기반 조합 논리 회로 설계 Logical Effort 기반 게이트 지연 분석 Adders 및 기본 연산 회로
Sequential & Controller Design	Sequential logic·FSM 기반 시스템 설계 레지스터·파이프라인·상태 머신 Controller-Datapath 구조
Interconnect & Timing	Interconnect delay 및 wire scaling Clock distribution·timing synchronization
System Integration & Chip Assembly	Datapath·Controller·Memory 통합 구조 Processor-level 시스템 구조 분석 VLSI 시스템 통합

TRACK 05 · CAPSTONE · 통합 6주 · ☆ Arm 인증 추진 예정

RTL Design 및 SoC Term Project

Verilog HDL 기반 RTL 설계·검증부터 RTL 통합 SoC Term Project까지 — 6주 캡스톤 통합 과정

SCHEDULE	FORMAT	SPECIALTY
8.10 – 9.18 (6주)	오프라인 · 팀 협업	디지털 설계 · RTL

교육 개요
RTL Engineer의 역할과 업무 범위를 이해하고, Verilog HDL을 이용한 디지털 시스템 설계와 검증 역량을 단계적으로 학습합니다. 마지막 1주차에는 그동안 학습한 RTL 설계 역량을 종합하여, **RTL 기반 SoC 통합 Term Project**를 수행합니다 — 합성·P&R 등 후공정 툴 흐름 대신, 시스템 명세 분석 → RTL 설계 → 모듈 검증 → 시스템 통합 검증으로 이어지는 RTL 중심의 프로젝트 사이클을 직접 경험합니다.

교육 목표
- ✓ 이론·실습 통합 학습으로 기업 현장에서 요구되는 RTL 설계·검증 실무 능력 배양
- ✓ Linux 환경에서 Synopsys VCS / Verdi 등 시뮬레이션·디버깅 툴 활용 능력 습득
- ✓ RTL 기반 SoC Term Project를 통한 종합 설계·검증 경험 및 포트폴리오 확보

필수 선수과목
필수 디지털공학 · 반도체설계 | **권장** Verilog HDL 기초 · Linux 환경 사용 경험

교육 내용 — Part A. RTL Design
주제	학습 내용
시스템반도체 설계의 이해	RTL Engineer 역할과 업무 범위 이해 Synopsys VCS · Verdi Tool 개요 Testbench 작성 및 검증 환경 구성
Logic Design 기초	Verilog Coding Style 이해 조합·순차 논리 회로 설계 Finite State Machine 설계 구조
Logic Design 심화	Pipeline과 parallelism 이해 5-Stage Pipeline 설계 Hazard 처리·Forwarding 구현
개별 RTL Mini Project	나만의 HW 시스템 제안 및 설계 시스템을 위한 FSM 설계 Verilog 구현 및 단위 검증

교육 내용 — Part B. RTL 기반 SoC Term Project
Part A 에서 익힌 RTL 설계·검증 역량을 종합하여, 팀 단위로 **RTL 중심의 SoC 통합 프로젝트**를 수행합니다. 합성·P&R 등 백엔드 툴 흐름은 본 통합 과정에서 다루지 않으며, RTL 설계와 시뮬레이션 기반 검증에 집중합니다.

단계	수행 내용
Step 1 · 명세 분석 및 시스템 설계	주어진 SoC 설계 주제·Spec 분석 시스템 블록 다이어그램 작성 모듈별 인터페이스(I/F) 정의
Step 2 · RTL 모듈 설계	Datapath · Controller · Memory I/F RTL Coding Verilog Coding Convention 준수 모듈별 Self-checking Testbench 작성
Step 3 · 모듈 단위 검증	VCS · Verdi 기반 시뮬레이션 Coverage 분석 (Functional Coverage) 모듈별 기능·예외 케이스 검증
Step 4 · 시스템 통합 및 통합 검증	RTL 모듈 통합 (Top-Level Integration) System-level Testbench 작성 시스템 동작 검증 및 시나리오 테스트
Step 5 · 코드 리뷰 및 최종 발표	팀별 코드 리뷰 및 개선 설계 의도·검증 결과 발표 최종 산출물 정리 (RTL · TB · 검증 리포트)

TRACK 06 · PROFESSIONAL

실무형 시스템반도체 Physical Design (Front-End)

Synthesis · STA · Logic Synthesis Flow — Front-End EDA 툴 활용 실무 역량 배양

SCHEDULE	FORMAT	SPECIALTY
9.21 – 10.16 (4주)	오프라인	디지털 설계 · Front-End

교육 개요
Front-End Engineer의 역할 및 업무를 이해하고 Timing 정의와 STA 개념을 학습합니다. EDA Tool을 이용한 Logic Synthesis Flow를 이해하고 실습하며, STA를 이용한 Timing 분석, Equivalence Check 등의 핵심 개념을 학습합니다.

교육 목표
- ✓ 이론·실습 통합 학습으로 기업이 요구하는 실무 능력 배양
- ✓ Cadence / Synopsys 의 Front-end 용 EDA Tool 활용 능력 배양

필수 선수과목
필수 디지털공학 · 반도체설계

교육 내용
주제	학습 내용
Physical Design의 이해	Linux 사용법 및 Vi Editor Logic Design 기본 교육 Verilog HDL 기초 및 RTL Coding 이해
Front-End Design (1)	시스템반도체 정의 및 설계 방법론 Xcelium Logic Simulator 심화 Static Timing Analysis 기초
Front-End Design (2)	Logic Synthesis Flow 이해 및 실습 SDC 작성 및 Clean-up Process Synthesis
Front-End Design (3)	Pre-Timing Simulation 방법 및 실습 Post-STA 및 Timing ECO

TRACK 07 · PROFESSIONAL

실무형 시스템반도체 Physical Design (Back-End)

P&R · Floorplan · CTS · Timing Closure · Sign-off — Back-End 전 공정 실습

SCHEDULE	FORMAT	SPECIALTY
10.19 – 11.13 (4주)	오프라인	디지털 설계 · Back-End

교육 개요
Back-End Engineer의 역할 및 업무를 이해하고 Synopsys EDA Tool 을 이용한 Physical Design을 위한 Placement & Route(P&R) 전체 Flow를 이해합니다. Floorplan, Powerplan, CTS, Timing Analysis, DRC/LVS, Physical Verification 등의 개념을 학습합니다.

교육 목표
- ✓ 이론·실습 통합 학습으로 기업이 요구하는 실무 능력 배양
- ✓ Synopsys EDA Tool 활용 능력 배양 (Synopsys ICC2, StarRC, PrimeTime 등)

필수 선수과목
필수 디지털공학 · 반도체설계

교육 내용
주제	학습 내용
Physical Design 이해 (1)	Linux 사용법 및 Vi Editor 디지털 회로설계 기술 Verilog HDL Coding 및 Top-Level Simulation
Physical Design 이해 (2)	반도체 소자 및 공정 동향 반도체 동작 원리
Back-End (1)	P&R 기초 교육·Auto P&R 소개 ICC2 Flow 및 기초 용어 Auto P&R DB 파일 개념·생성
Back-End (2)	실습 Project: IR-Drop Timing Optimize 수행 Analysis mode 활용
Back-End (3) · Term Project	800만 게이트 규모 P&R 전문교육 New Project 및 Skill을 통한 반복 실습