

집적회로 설계 연구실

Integrated Circuit Design Lab



이일민

교수

lmin.yi@gist.ac.kr

062-715-2642

<https://sites.google.com/view/gjist-icdl>

Education

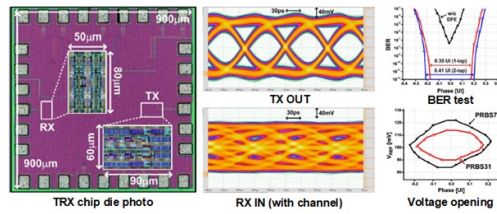
- 2015** Ph.D. in Electrical Engineering, POSTECH
- 2010** M.S. in Electronics and Electrical Engineering, POSTECH
- 2008** B.S. in Electronics and Electrical Engineering, POSTECH

Experience

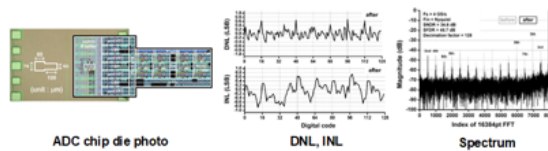
- 2023 ~** Assistant Professor, School of Electrical Engineering and Computer Science, GIST, Korea
- 2020 ~ 2022** Postdoctoral Researcher, Texas A&M University, USA
- 2017 ~ 2020** Postdoctoral Researcher, NTT, Japan
- 2015 ~ 2016** Postdoctoral Researcher, POSTECH, Korea

연구실 소개

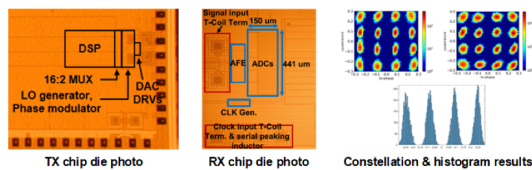
집적회로 설계 연구실에서는 주로 CMOS 소자를 이용하여 Analog 및 Digital 회로를 설계하고, 반도체 칩 제작을 통해 이를 검증한다. 이 연구는 기존 설계의 한계점을 극복하고, 차세대에 적합한 회로를 제안하는 것뿐만 아니라, 새로운 응용에 필요한 새로운 회로의 개발을 목표로 한다. 현재 주된 응용 분야는 메모리 인터페이스, 고속 시리얼 인터페이스, Analog-to-Digital converter 회로 등이며, 다양한 분야로 그 범위를 넓히고 있다. 이 연구실에서는 이러한 분야에서 사용되는 집적회로를 더 빠르고, 더 정확하고, 전력 소모가 더 적게 만드는 연구를 진행하고 있다.



메모리 인터페이스 회로 설계 (JSSC 18)



ADC 회로 설계 (JSSC 21)



고속 시리얼 인터페이스 회로 설계 (JSSC 23)

연구 성과

수행중인 주요 연구과제 (주요과제경력)

· 시간 영역 변환을 이용한 고속 저전력 ADC 회로 설계 연구 (GIST), 2023-2024

주요논문 (대표실적)

· A 4-GS/s 11.3-mW 7-bit Time-Based ADC with Folding Voltage-to-Time Converter and Pipelined TDC in 65-nm CMOS, IEEE Journal of Solid-State Circuits (JSSC), 2021

· A 15.1-mW 6-GS/s 6-bit Single-Channel Flash ADC with Selectively Activated 8x Time-Domain Latch Interpolation, IEEE Journal of Solid-State Circuits (JSSC), 2021

· A Time-Based Receiver with 2-tap Decision Feedback Equalizer for Single-Ended Mobile DRAM Interface, IEEE Journal of Solid-State Circuits (JSSC), 2018

· A time-based receiver with 2-tap DFE for a 12Gb/s/pin single-ended transceiver of mobile DRAM interface in 0.8V 65nm CMOS, International Solid-State Circuits Conference (ISSCC), 2017

· A Low-EMI Four-Bit Four-Wire Single-Ended DRAM Interface by Using a Three-Level Balanced Coding Scheme, Symposium on VLSI Circuits (SoVC), 2016

· A 40 mV-Differential-Channel-Swing Transceiver using a RX Current-Integrating TIA and a TX Pre-Emphasis Equalizer with a CML driver at 9 Gb/s, Transactions on Circuits and Systems I (TCS-I), 2016

· A 40-mV-Swing Single-Ended Transceiver for TSV with a Switched-Diode RX Termination, Transactions on Circuits and Systems II (TCS-II), 2014

주요특허

· Analog-to-digital converter, USA, WO2022018794A1, 2022

· Decision feedback equalizer, USA, US20210288846A1, 2020

· Analog-to-digital converter, USA, US11258454B2, 2020

융합연구 및 비전

차세대 회로 구조 개발

글로벌 인재양성

새로운 응용(바이오, AI, 양자 등)에
필요한 새로운 회로 구현,
산학에 필수적인 회로 개발 및 인재 양성

협력

고속, 정확, 저전력 시스템 구축

인류복지 및 삶의 질 향상